

# Clase 20<sup>1</sup> - CMOS (parte I)

## El inversor

### Contenidos:

1. Introducción a la electrónica digital
2. El inversor CMOS
3. Consumo de potencia dinámica de un inversor
4. Tiempo de propagación de un inversor

### Lectura recomendada:

- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 5, §§5.2–5.4.
- Sedra, Smith, “Microelectronic Circuits”, Ch. 10 §§10.2.

---

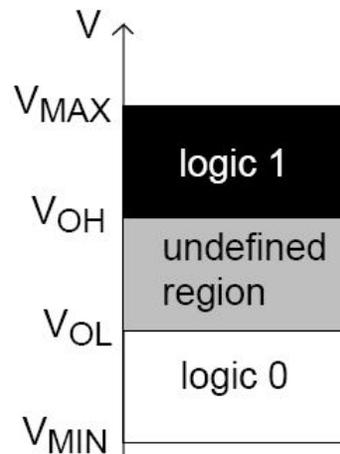
<sup>1</sup>Esta clase es una traducción y compilación, realizada por los docentes del curso “Dispositivos Semiconductores - FIUBA”, de las hechas por el prof. Jesus A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits -MIT”. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras

- ¿Cuáles son los parámetros fundamentales de un inversor?
- ¿Cómo funciona un inversor CMOS?
- ¿Cómo puede estimarse la "velocidad" de un inversor CMOS?
- ¿Cuánta potencia consume un inversor CMOS?

# 1. Introducción a la electrónica digital

En la electrónica digital la información se representa mediante dos rangos distintos de tensión:

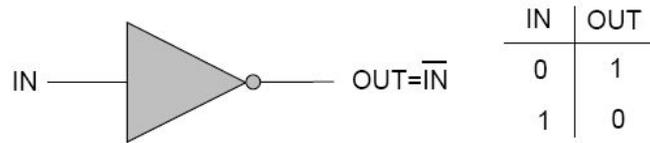


- *0 lógico*:  $V_{MIN} \leq V < V_{OL}$
- *1 lógico*:  $V_{OH} < V \leq V_{MAX}$
- *valor lógico indefinido*:  $V_{OL} \leq V \leq V_{OH}$ .

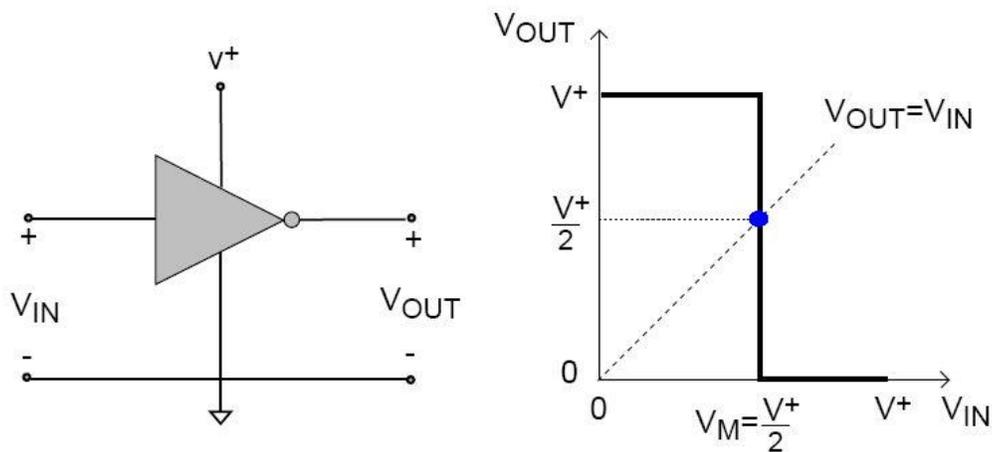
Las operaciones lógicas se realizan mediante *compuertas lógicas*: NOT, AND, OR, XOR, etc.

La operación más elemental:  $\Rightarrow$  *inversión*

## □ Inversor ideal:



Representación circuital y función ideal de transferencia:



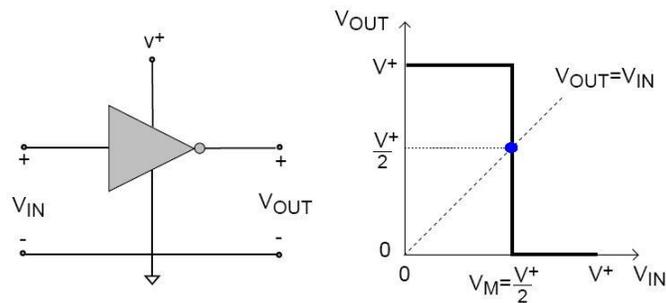
Definimos *punto de conmutación* o *umbral lógico*:

$V_M \equiv$  tensión de entrada para la cual  $V_{OUT} = V_{IN}$

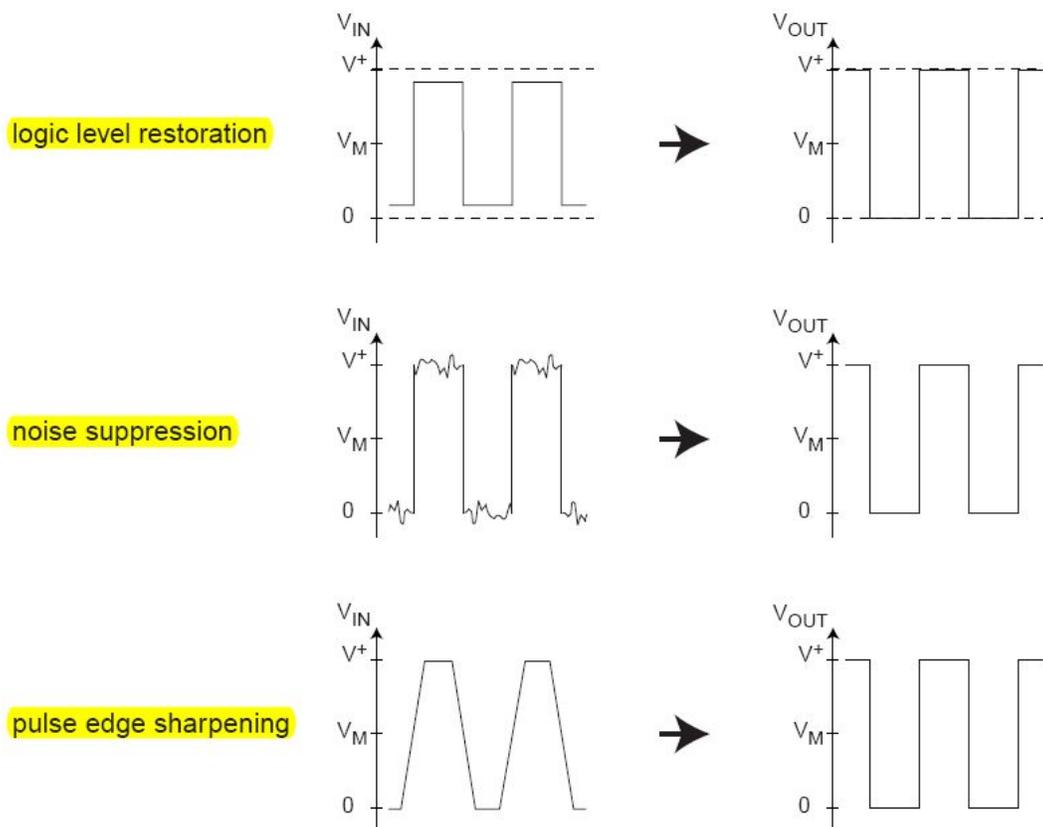
- Para  $0 \leq V_{IN} < V_M \Rightarrow V_{OUT} = V^+$

- Para  $V_M < V_{IN} \leq V^+ \Rightarrow V_{OUT} = 0$

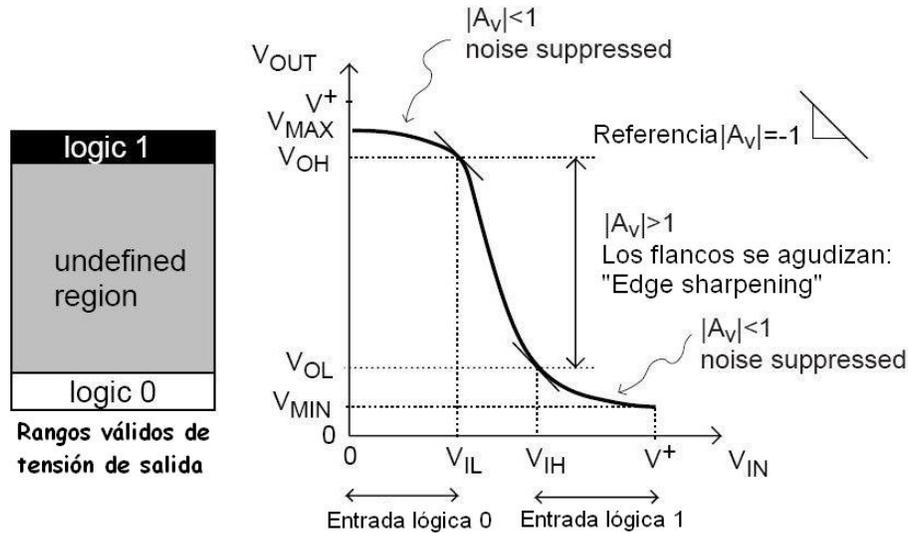
## Propiedad fundamental de un inversor: *regeneracion de la señal*



Un inversor tiene dos estados lógicos de salida bien definidos ( $0$  o  $V^+$ ) incluso con ruido en  $V_{IN}$ :



## □ Inversor “Real”:



- *Rango de entrada válido para 0 o 1 lógico:*

- \*  $V_{IL} \equiv$  máx. tensión de entrada considerada 0 lógico

- \*  $V_{IH} \equiv$  mín. tensión de entrada considerada 1 lógico

Ambos casos se definen en donde  $A_v = \frac{dV_{OUT}}{dV_{IN}} = -1$

- *Rango de salida válido para 0 lógico:*

- \*  $V_{MIN} \equiv$  tensión de salida para  $V_{IN} = V^+$

- \*  $V_{OL} \equiv$  tensión de salida para  $V_{IN} = V_{IH}$

- *Rango de salida válido para 1 lógico:*

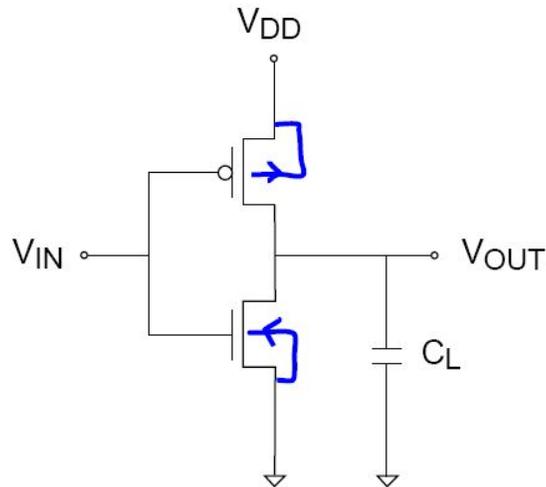
- \*  $V_{OH} \equiv$  tensión de salida para  $V_{IN} = V_{IL}$

- \*  $V_{MAX} \equiv$  tensión de salida para  $V_{IN} = 0$

Clave para la **regeneración de señal**: elevada  $|A_v|$  en la región indefinida y baja fuera de ella.

## 2. El inversor CMOS

Circuito esquemático:



Este dispositivo puede implementarse solo en tecnología MOS complementaria (CMOS) ya que requiere un transistor de cada tipo.

Principio de funcionamiento:

- $V_{IN} = 0 \Rightarrow V_{OUT} = V_{DD}$

$$\begin{aligned} V_{GSn} &= 0 < V_{Tn} && \Rightarrow \text{NMOS OFF} \\ V_{SGp} &= V_{DD} > -V_{Tp} && \Rightarrow \text{PMOS ON} \end{aligned}$$

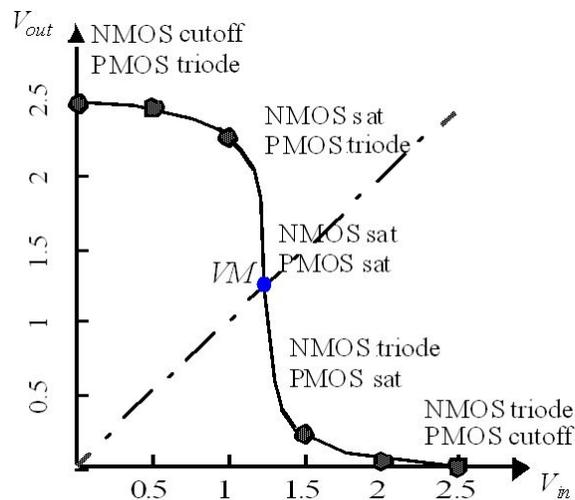
- $V_{IN} = V_{DD} \Rightarrow V_{OUT} = 0$

$$\begin{aligned} V_{GSn} &= V_{DD} > V_{Tn} && \Rightarrow \text{NMOS ON} \\ V_{SGp} &= 0 < -V_{Tp} && \Rightarrow \text{PMOS OFF} \end{aligned}$$

**No consume potencia cuando la salida está fija en un estado lógico:**

$0: V_{DSn} = 0\text{ V}, I_{Dp} = 0\text{ A}; \quad 1: V_{SDp} = 0\text{ V}, I_{Dn} = 0\text{ A}.$

Función de transferencia:



★  $I_D = 0$  cuando  $V_{in} = 0$  ó  $V_{in} = V_{DD}$

★ Logica “rail-to-rail”:  $V_{out}$  llega a 0 y a  $V_{DD}$

★ Elevada  $|A_v|$  en cercanías de  $V_M$



$$V_M = \frac{V_{Tn} + \sqrt{\frac{k_p}{k_n}}(V_{DD} + V_{Tp})}{1 + \sqrt{\frac{k_p}{k_n}}}$$

- Caso simétrico:  $k_n = k_p \Leftrightarrow V_M = \frac{V_{DD}}{2}$ , lo cual implica:

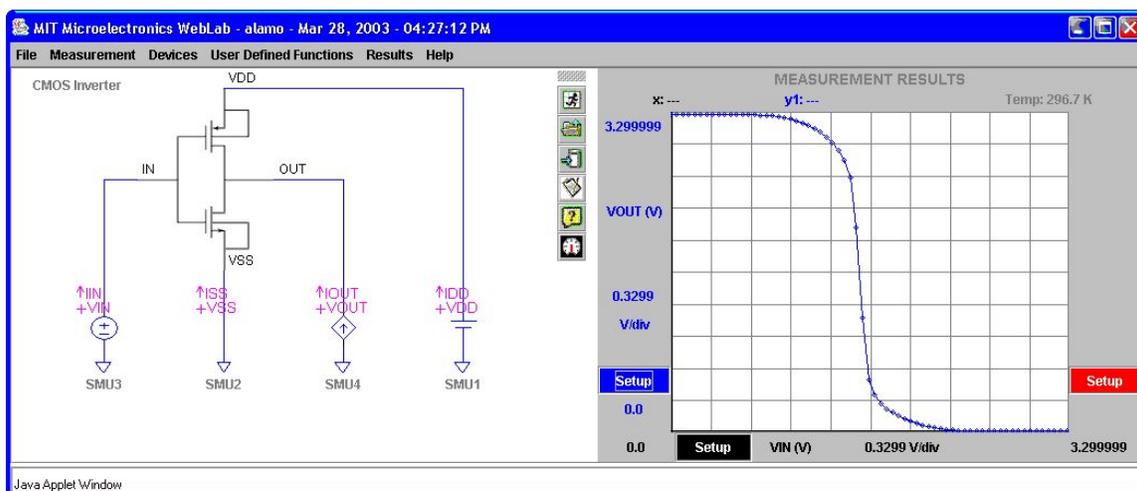
$$\frac{k_p}{k_n} = 1 = \frac{\frac{W_p}{L_p} \mu_p C'_{ox}}{\frac{W_n}{L_n} \mu_n C'_{ox}} \simeq \frac{\frac{W_p}{L_p} \mu_p}{\frac{W_n}{L_n} 2 \mu_p} \Rightarrow \frac{W_p}{L_p} \simeq 2 \frac{W_n}{L_n}$$

Depende de parámetros constructivos  $W$  y  $L$ .

- Caso asimétrico:  $k_n \gg k_p$ , o  $k_n \ll k_p$

Tarea para el hogar

- Transferencia característica de un inversor CMOS en el WebLab:

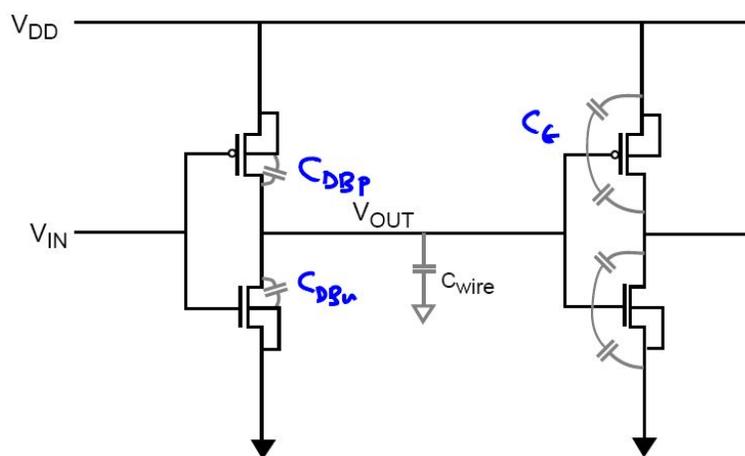


### 3. Carga de un inversor CMOS

En un circuito digital CMOS la salida de cualquier compuerta está cargada por:

- *Compuertas lógicas subsiguientes*: debe considerarse la capacidad de entrada de cada transistor conectado
- *Capacidad del cable de interconexión* que conecta la salida con la entrada de las siguientes compuertas
- *Capacitancia Drain-Body propia*

$$C_L = C_G + C_{wire} + C_{DBn} + C_{DBp}$$



[Ver detalles en Howe & Sodini §5.4.3]

En CMOS las cargas *siempre* son *capacitivas*.

## 4. Consumo dinámico de potencia del inversor CMOS

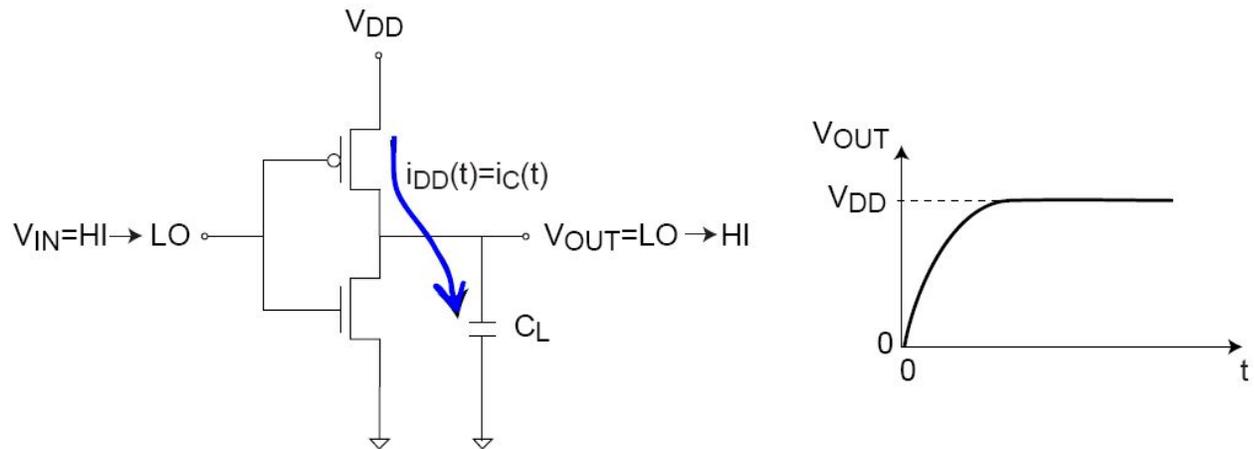
- En cualquiera de los dos estados uno de los transistores está apagado  $\Rightarrow$  No hay disipación estática de potencia.
- ¿Pero hay disipación dinámica de potencia?

Durante cada transición completa,  $C_L$  es cargado a  $V_{DD}$  y luego descargado a 0

$\Rightarrow$  Se disipa energía

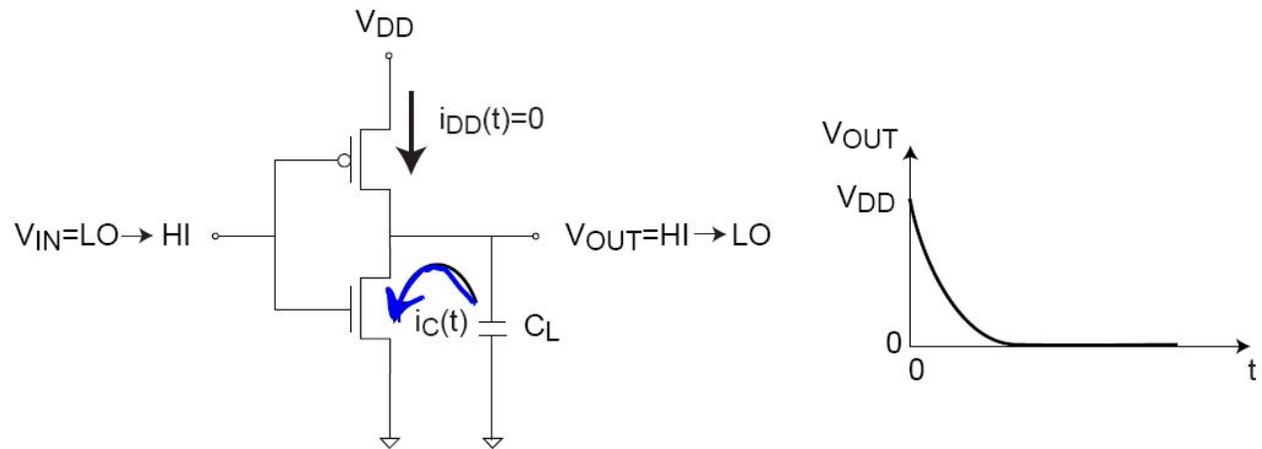
$\Rightarrow$  frecuencia de clock  $\uparrow \Rightarrow$  potencia disipada  $\uparrow$

□ Disipación dinámica de potencia al cargar  $C_L$



- La batería aporta energía ( $I_{bateria} \neq 0 \text{ A}$ )
- El capacitor se carga
- PMOS disipa energía ( $I_{Dp} \neq 0 \text{ A}$  y  $V_{DSp} \neq 0 \text{ V}$ )
- NMOS no disipa energía ( $I_{Dn} = 0 \text{ A}$ )

□ Disipación dinámica de potencia al descargar  $C_L$



- La batería NO aporta energía ( $I_{bateria} = 0 \text{ A}$ )
- El capacitor se descarga
- PMOS no disipa energía ( $I_{Dp} = 0 \text{ A}$ )
- NMOS disipa energía ( $I_{Dn} \neq 0 \text{ A}$  y  $V_{DSn} \neq 0 \text{ V}$ )

□ Lo importante es la *Energía Disipada* en cada transición

<b>Energía</b>	<b>Transición</b> (salida)	
	L→H	H→L
aportada por la batería	$C_L V_{DD}^2$	0
que se almacena en $C_L$	$\frac{1}{2} C_L V_{DD}^2$	$-\frac{1}{2} C_L V_{DD}^2$
<b>disipada</b> en el NMOS	0	$\frac{1}{2} C_L V_{DD}^2$
<b>disipada</b> en el PMOS	$\frac{1}{2} C_L V_{DD}^2$	0

□ La *Energía Disipada* en el ciclo completo es

$$E_D = E_{H \rightarrow L} + E_{L \rightarrow H} = \frac{1}{2} C_L V_{DD}^2 + \frac{1}{2} C_L V_{DD}^2$$

$$E_D = C_L V_{DD}^2$$

□ La *Disipación de potencia*

Si el ciclo de conmutación completo toma lugar  $f$  veces por segundo:

$$P_D = f E_D = f C_L V_{DD}^2$$

Relación de compromiso fundamental entre velocidad de conmutación y consumo de potencia.

Principales dependencias de la potencia dinámica:

$$P_D = fE_D = fC_LV_{DD}^2$$

- $f \uparrow \Rightarrow P_D \uparrow$ , carga y descarga de  $C_L$  más rápidamente
- $C_L \uparrow \Rightarrow P_D \uparrow$ , mas carga a distribuir
- $V_{DD} \uparrow \Rightarrow P_D \uparrow\uparrow$ , mas carga a distribuir

Para poder aumentar la frecuencia de trabajo, manteniendo el consumo (temperatura), se requiere:

- Bajar  $C_L$ , equivalente a achicar los transistores.
- Bajar  $V_{DD}$ , tiene doble peso, por tener una dependencia cuadrática.

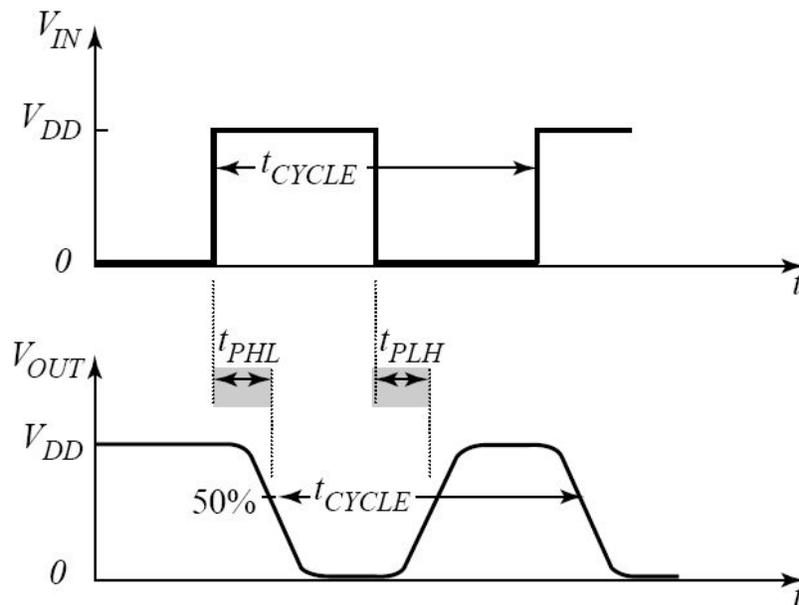
## 5. Tiempo de propagación del inversor CMOS

Tiempo de propagación: retraso entre las señales de entrada y salida de una compuerta; figura de merito clave de la velocidad.

Para una tecnología del nodo 180 nm (largo mínimo del canal) la demora de propagación (delay) típica de un inversor es  $t_p \sim 30$  ps.

Los sistemas lógicos complejos tienen 20-50 compuertas en serie por cada ciclo de clock ( $t_{clock(min)} \sim 1.5$  ns) lo cual da una ( $f_{(max)} \sim 600$  MHz).

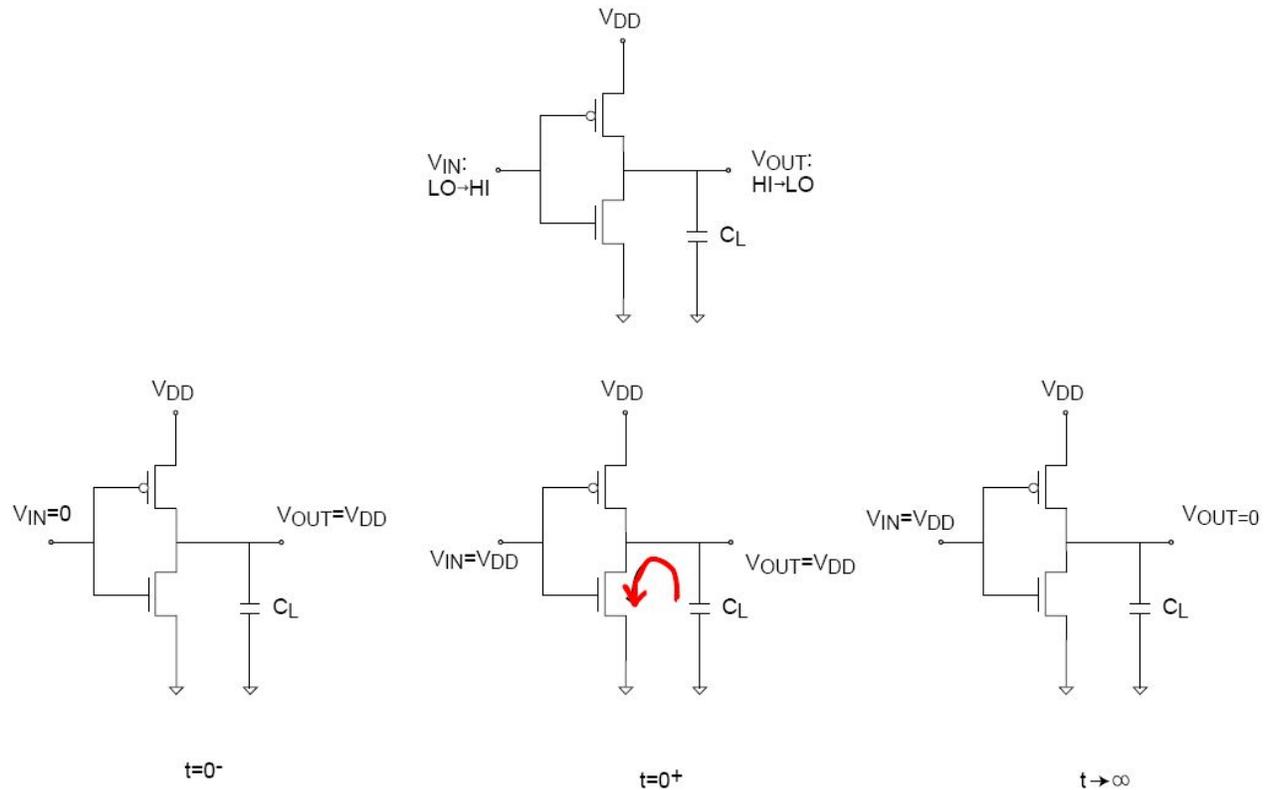
Estimacion de  $t_p$ : utilizamos una señal  $V_{IN}$  cuadrada:



Tiempo de propagación promedio:

$$t_p \triangleq \frac{1}{2}(t_{PHL} + t_{PLH})$$

□ Tiempo de propagación de alto a bajo ( $t_{PHL}$ ):



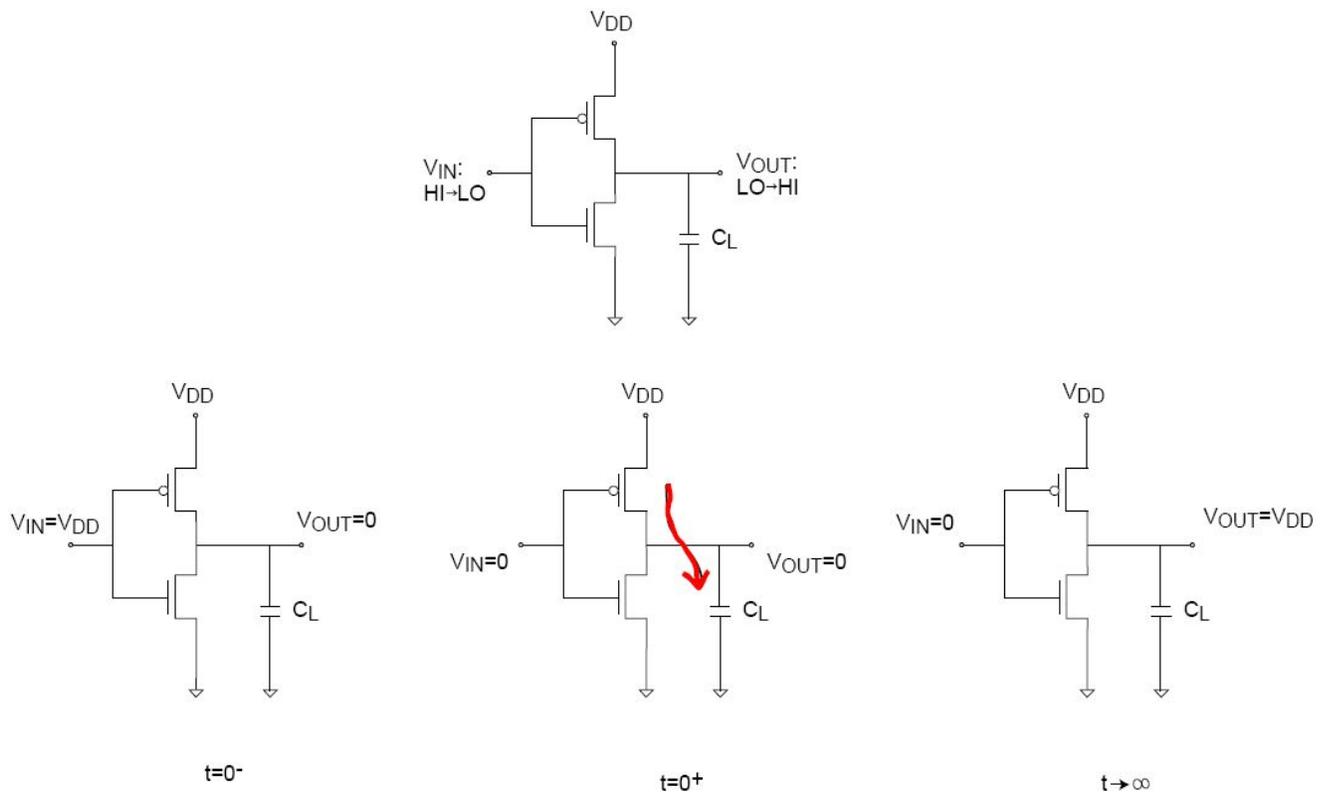
Durante los primeros momentos de descarga

- el capacitor está cargado a  $C_L V_{DD}$ ,
- el NMOS está saturado (**conduce**, corriente cte.) y
- el PMOS está cortado (**no conduce**).

Tiempo para descargar a la *mitad* a  $C_L$ :

$$t_{PHL} \simeq \frac{\frac{1}{2} \text{ carga inicial de } C_L}{\text{corriente de descarga}} = \frac{\frac{1}{2} C_L V_{DD}}{k_n (\underbrace{V_{GSn}}_{V_{DD}} - V_{Tn})^2}$$

□ Tiempo de propagación de bajo a alto ( $t_{PLH}$ ):



Durante los primeros momentos de descarga:

- el capacitor está descargado
- el PMOS está saturado (**conduce**, corriente cte.) y
- el NMOS está cortado (**no conduce**).

Tiempo para descargar a la *mitad* a  $C_L$ :

$$t_{PLH} \simeq \frac{\frac{1}{2} \text{ carga final de } C_L}{\text{corriente de carga}} = \frac{\frac{1}{2} C_L V_{DD}}{k_p \underbrace{(V_{GS_p} - V_{Tp})}_{-V_{DD}}^2}$$

Considerando que  $2\mu_p = \mu_n$ ,  $V_{Tp} \simeq -V_{Tn}$  y el caso simétrico:  $k_n = k_p$ , entonces  $L_p = L_n$ ,  $W_p = 2W_n$  y recordando que  $t_p = \frac{1}{2}(t_{PHL} + t_{PLH})$ , obtenemos:

$$t_p \simeq \frac{C_L V_{DD}}{\mu_n C'_{ox} \frac{W_n}{L_n} (V_{DD} - V_{Tn})^2}$$

Dependencias fundamentales del tiempo de propagación:

- $V_{DD} \uparrow \Rightarrow t_p \downarrow$

*Motivación para aumentar  $V_{DD}$ .* Se diferencia con el consumo, en donde se busca reducir  $V_{DD}$ .

- $L \downarrow \Rightarrow t_p \downarrow\downarrow$  (también baja  $C_L$ )

*Motivación para reducir tamaño.*

## Conclusiones principales

- Un inversor CMOS no consume potencia estática.
- En un inversor CMOS el nivel de conmutación lógico ( $V_M$ ) está controlado mediante  $W_n$  y  $W_p$ .
- Características fundamentales de un inversor CMOS:
  - Logica “rail-to-rail”:  $V_{out}$  llega a 0 y a  $V_{DD}$
  - Excelentes márgenes de ruido (casi  $V_{DD}/2$ )
  - Potencia dinámica disipada en el CMOS:

$$P_D = fE_D = fC_L V_{DD}^2$$

$$* V_{DD} \uparrow \Rightarrow P_D \uparrow\uparrow$$

$$* C_L \uparrow \Rightarrow P_D \uparrow$$

$$* f \uparrow \Rightarrow P_D \uparrow$$

- Dependencia del tiempo de conmutación:

$$t_p \simeq \frac{C_L V_{DD}}{\frac{W_n}{L_n} \mu_n C'_{ox} (V_{DD} - V_{Tn})^2}$$

$$* V_{DD} \uparrow \Rightarrow t_p \downarrow$$

$$* L \downarrow \Rightarrow t_p \downarrow\downarrow$$

- Costo del proceso de fabricación:

$$* L \downarrow \Rightarrow \text{costo} \uparrow$$

Resolver la relación de compromiso entre velocidad, consumo y costo: ¡Es hacer Ingeniería!